

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 53054481 A

(43) Date of publication of application: 17.05.78

(51) Int. Cl.

H01L 21/66
G01R 31/26
G11C 11/34
H01L 27/02

(21) Application number: 51128805

(22) Date of filing: 28.10.76

(71) Applicant: TOSHIBA CORP

(72) Inventor: UCHIDA YUKIMASA

(54) TESTING SYSTEM OF NON-VOLATILE MEMORY

(57) Abstract:

PURPOSE: To measure the upper limit of threshold voltages necessary for guaranteeing storage characteristics by applying a power supply voltage

through negative resistors having linear or non-linear current voltage characteristics to the respective drains of variable threshold value FETs comprising commonly connecting a plurality.

COPYRIGHT: (C)1978,JPO&Japio

⑱日本国特許庁

①特許出願公開

公開特許公報

昭53—54481

①Int. Cl.² 識別記号 ②日本分類 庁内整理番号 ③公開 昭和53年(1978)5月17日
H 01 L 21/66 99(5) C 6 5928—57
G 01 R 31/26 99(5) H 0 7210—57 発明の数 1
G 11 C 11/34 97(7) C 13 7010—56 審査請求 有
H 01 L 27/02

(全 6 頁)

④不揮発性メモリ集積回路のテスト方式

①特 願 昭51—128805
②出 願 昭51(1976)10月28日
③発 明 者 内田幸正

川崎市幸区小向東芝町1 東京
芝浦電気株式会社総合研究所内
④出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑤代 理 人 弁理士 富岡章 外1名

明 細 書

1. 発明の名称

不揮発性メモリ集積回路のテスト方式

2. 特許請求の範囲

(1)双安定回路の2つの双安定ノードのそれぞれに少なくとも一対の可変閾値電界効果トランジスタのそれぞれのソースが接続され、さらに前記少なくとも一対の可変閾値電界効果トランジスタのそれぞれのゲートが互いに共通なる制御信号線に接続された不揮発性記憶セルを複数個含む半導体集積回路において、複数個の前記不揮発性記憶セルの前記制御信号線が共通に接続された第1の信号線に加えられる単調増加信号電圧及びこの信号電圧より可変な一定の電位差を保ちながら前記可変閾値電界効果トランジスタのドレインのそれぞれに線形又は非線形特性の電流電圧特性を有する負荷抵抗デバイスを介して複数個の前記不揮発性記憶セルに共通に設けられた第1の電源線に電源電圧を加える手段を有することを特徴とする不揮発性メモリ集積回路のテスト方式。

(1)

(2)前記手段は前記第1の信号線に加えられる信号電圧と同一傾斜でかつ可変な一定の電位差を保ちながら前記第1の電源線に前記電源電圧を加える手段により、複数個の不揮発性記憶セル中の可変閾値電界効果トランジスタが三極管駆動で動作する限界に於ける前記2つの印加電圧の電位差を測定することを特徴とする特許請求の範囲第1項記載の不揮発性メモリ集積回路のテスト方式。

(3)前記不揮発性記憶セルの各々には情報が互いに相補的となるような少なくとも2つの情報パターンのそれぞれに記憶情報が設定されていることを特徴とする特許請求の範囲第1項記載の不揮発性メモリ集積回路のテスト方式。

3. 発明の詳細な説明

本発明は半導体集積回路のテスト方式に係り、特に不揮発性メモリ集積回路のテスト方式に関する。

不揮発性メモリ集積回路、特に双安定回路の2つの双安定ノードのそれぞれに、少なくとも一対の可変閾値電界効果メモリトランジスタ群の一方

—429—

(2)

づつが接続された不揮発性記憶セルを含む集積回路に關しては、内田、野島、田中、松尾、松野「不揮発性10進4桁MNOSカウンタ」昭和50年電気通信学会全国大会研究論文集418、あるいはB.Seito,N.Endo,Y.Uchida,T.Tanaka,Y.Nisbi and K.Tamaru・A 256-b Nonvolatile Static Random - Access Memory with MNOS Memory Transistors' Digest of Tech Papers The 7th Conf on Solid State Devices, Tokyo, Sep. 1975 A-5-3 pp 57等の文献が知られている。これら文献において、不揮発性カウンタIC又は不揮発性ランダムアクセスメモリは、上記のような不揮発性記憶セルを多数含んでいる。これらの不揮発性記憶セルの動作のうち、構成要素としての個々の可変閾値電界効果メモリトランジスタの記憶特性（即ち書き込み特性）及び記憶保持特性は、集積回路の不揮発性記憶作用における特性及び信頼性を保障するために、全てがある範囲内の特性に抑えられていなければならない。即ち、集積回路を構成する不揮発性記憶セル中の可変閾値電界効果メモリトランジスタに不良な記憶性又は記憶保持特性を有するものは、少なくとも製品として出荷する以前に又はセットに組み込む以前に除去されていなければならない。

従来技術によれば、上述の問題を解決するにあり、テスト専用の可変閾値電界効果メモリトランジスタを用いてその特性を各種条件の下に測定し、さらに集積回路のチップ自身を用いて各種不揮発性情報パターンを書き込んだ下での各種条件下でフロンクションテスト又は加速試験等によつて、製品としての集積回路の特性を保證する方法が示唆されている。しかしながら、一対の可変閾値電界効果メモリトランジスタの記憶操作後にとる一対の伝導限界（閾値）の両者と直接に結びつけられるパラメータを測定する手段ないし方式は、集積回路を複雑にしたり、ビット密度を下げたりすることによらないでは実現することが困難であつた。このためこのような不揮発性記憶セルを含む集積回路のテストに際しては、多くの時間を必要とする点で改良が望まれていた。更に集積回路中の不揮発性

記憶セルを構成する一対の可変閾値電界効果メモリトランジスタの閾値の分布についての情報が直接得られるテスト方式が特に強く望まれていた。

本発明はこれらの点に鑑みて為されたもので、双安定ノードのそれぞれに少なくとも一対をなす可変閾値電界効果メモリトランジスタのうちの一萬づつがそれぞれ接続されてなる不揮発性記憶セルを含む集積回路の新規なテスト方式を提供することを目的とする。

本発明の他の目的は、上記のような不揮発性記憶セルが高い密度で配設されてなる集積回路において、可変閾値電界効果メモリトランジスタの閾値の分布の限界に關する情報を得ることのできるテスト方式を提供するにある。

まず本発明において適用されるべき被テスト対象である不揮発性メモリ集積回路について説明する。被テスト対象としての不揮発性メモリ集積回路は、双安定回路の2つの双安定ノードのそれぞれに少なくとも一対をなす可変閾値電界効果メモリトランジスタのソースのうちの一萬づつがそれ

ぞれ接続されてなる不揮発性記憶セルを複数個含んでいる。第1図はこのような不揮発性記憶セルの一例を示している。第1図に關して特にドチャネル技術を用いた例について説明する。1, 2はクロス結合されたエンハンスメント形MOSトランジスタであり、その閾値電圧は $-1.5V$ とする。トランジスタ1のソースは接地線11に接続され、ゲートはトランジスタ2のドレインに接続される。さらにトランジスタ1のドレインは一対の双安定端子（双安定ノード）の一方である端子9に接続される。同様にトランジスタ2のソースは接地線11、ゲートはトランジスタ1のドレイン、またドレインは双安定端子の他方である端子10にそれぞれ接続される。5, 6は負荷抵抗用素子であり、ここではソースとゲートを共通にした閾値 $+5V$ のデプレーション形MOSトランジスタで構成されている。トランジスタ5, 6のドレインは共に電源線12に接続され、電圧 V_{DD} が供給される。電源線12には例えば定常状態で $-20V$ の電圧が供給される。トランジスタ5, 6のソースにはそ

れぞれ可変閾値電界効果トランジスタ7, 8のドレインが接続される。ここでは、可変閾値電界効果トランジスタとしてPチャネルMOSメモリトランジスタが用いられている。MOSメモリトランジスタ7, 8のソースはそれぞれ双安定端子9, 10に接続される。またMOSメモリトランジスタ7, 8のゲートには共通のコントロール信号線14を介して信号MQが供給される。MOSメモリトランジスタ7, 8と並列にエンハンスメント形MOSトランジスタ3, 4が接続されており、これらのトランジスタの閾値は例えばトランジスタ1, 2と同様に $-1.5V$ である。トランジスタ3, 4のソースはそれぞれ端子9, 10、ドレインはそれぞれMOSメモリトランジスタ7, 8のドレイン、またゲートは共通にまとめられて信号線13に接続される。信号線13には信号Kが供給される。

第2図はMOSメモリトランジスタの記憶特性図である。MOSメモリトランジスタは、その基板に対してゲートに正の大きな電圧パルス（例えば $+25V$, $1msec$ ）を加えると閾値が正方向へ移

(7)

ランジスタ3, 4の閾値分のドロップによる。またMOSメモリトランジスタ7, 8の閾値がそれぞれ V_H, V_L の場合、MOSメモリトランジスタ対は不揮発性の情報'1'を蓄えていると定義し、逆にMOSメモリトランジスタ7, 8の閾値が V_L, V_H の場合を不揮発性情報'0'を蓄えていると定義する。

コントロール信号線14に対し、例えば $+25V$ $1msec$ の定電圧MQパルスを加えると、MOSメモリトランジスタ7, 8の閾値は共に V_H レベルとなる。この操作を消去操作と呼ぶ。次に双安定回路の情報が'1'の状態のときに、コントロール信号線14に $-25V$, $1msec$ の定電圧MQパルスを加えると、MOSメモリトランジスタ7では書き込みが禁止されて閾値は V_H にとどまるがMOSメモリトランジスタ8では書き込みが行われて閾値は V_L になる。こうして双安定回路の情報'1'はMOSメモリトランジスタ対に書き込まれる。双安定回路の情報が'0'の場合も全く同様にMOSメモリトランジスタ対は情報'0'が書き込まれる。逆にMOS

動し、その閾値は高レベル V_H となる。逆に、ソースに対してゲートに負の大きな電圧パルス（例えば $-25V$, $1msec$ ）を加えると閾値が負方向へ移動して、低レベル V_L となる。ここで V_H は、例えば $-1V$, V_L は例えば $-7V$ である。

第1図に示した不揮発性記憶セルにおいて、 V_{DD} が $-20V$ の状態では信号線13に $-20V$ が加わっている場合を想定すると、トランジスタ3, 4が導通し、トランジスタ1, 2, 3, 4, 5及び6によつて構成される（揮発性）双安定回路の情報は以下のようにしてMOSメモリトランジスタ7, 8に書き込まれる。

いま双安定回路において、端子9が低レベル、端子10が高レベルである場合、即ち端子9の電位が $-15V$ 、端子10の電位が $0V$ の場合を情報'1'が蓄えられていると定義し、逆に端子9が $0V$ 、端子10が $-15V$ の場合に情報'0'が蓄えられていると定義する。ここで端子9, 10における低レベル電位が電圧 V_{DD} （ $-20V$ ）に対し $-5V$ 差があるのは、バックゲートバイアス分を含めた

(8)

メモリトランジスタ対の情報を双安定回路へ戻すには、例えば同一の大きさ、同一の傾斜の V_{DD} 電圧パルス波形、MQ信号波形を電源線12及びコントロール信号線14に加えればよい。これによつてMOSトランジスタ7, 8のうち、閾値が高レベル側即ち V_H である方が先に導通し、この先に導通するMOSメモリトランジスタのソースにそのゲートが接続されたトランジスタ1, 2のうち一方が先に導通することになり、MOSメモリトランジスタ対の不揮発性の情報'1', '0'に従つて双安定回路にはそれぞれ'1', '0'の情報が復帰される。

さて、このような不揮発性記憶セルを複数個含む集積回路中で、書き込み後の可変閾値電界効果トランジスタの高レベルと低レベルの閾値の値は、それぞれの記憶セルによつてわずかつ異なるであろう。各記憶セルの V_H と V_L は例えば第3図に示すようなバラツキを示し、ある分布を為していると考えられる。もし我々がこれらの分布をある集積回路について把握できるとすれば、集積

(9)

00

回路の不揮発性情報を保証するデータとして有効な利用が可能である。本発明によればこのような分布に関するデータを測定することができる。第3図においては V_H 及び V_L の分布の形がガウス分布に従う場合を例として図示しているが、もちろん、本発明においては V_H 及び V_L の分布の形が異なるものであつても適用することができる。

第3図において、 V_H の分布の上限近傍を V_{HMAX} 、下限近傍を V_{HMIN} とする。また V_L の分布の上限近傍を V_{LMAX} 、下限近傍を V_{LMIN} とする。1チップの集積回路の不揮発性記憶特性を保証する為の必要なデータとしては、このうち V_{HMIN} と V_{LMAX} である。即ち V_{HMIN} と V_{LMAX} の間の差がある一定のマージン以上あれば集積回路上の不揮発性記憶セルにおいて可変閾値電界効果トランジスタの不揮発性情報を双安定回路への復帰を保証するデータとすることができる。しかしながら、被測定対象としての不揮発性記憶セルは、可変閾値電界効果トランジスタと双安定回路とが結合されてしまつてゐるので、可変閾値電界効果トランジスタの閾

00

値が正しく復帰される範囲の境界に於けるDVの値が V_{LMAX} に対応する。これは次の理由による。

傾き α が双安定回路の情報を書き換える時定数より十分大きな時定数で変化するので、可変閾値電界効果トランジスタのソース電位は、三極管領域で動作していれば V_{DD} 電位と同一で、又もし五極管領域であればグート電位からしきい値分ドロップした電位となつて変化していく。不揮発性記憶セルに於て、両可変閾値電界効果トランジスタ7、8が共に三極管領域で動作すれば、ノード9とノード10の電位は共に V_{DD} レベルで充電されていき、トランジスタ1と2の間のバラツキやノイズによつて双安定回路へ復帰される情報が決まることとなり、復帰情報は可変閾値電界効果トランジスタ対の記憶情報に依らず不定となる。

これに対し、もし可変閾値電界効果トランジスタ7、8のうち V_L 側が十分五極管領域にある点で動作すれば、この V_L 側のソースが V_H 側のソースにおくれて充電されるので双安定回路へ正しい情報が必らず復帰することになる。

01

特開昭53-54481(4)

値を直接測定することはできず、双安定回路と組合された動作モードでしか測定することができない。そのため、 V_{HMIN} の測定に関しては、不揮発性記憶セルの読み出し動作から容易に測定できることがわかつてゐるが、 V_{LMAX} の測定に関してはこれまで測定の方法が見い出されてゐなかつた。

第4図は本発明の一実施例としてのテスト方式を構成する印加信号波形を示す図である。

まず時刻 t_0 より信号MGと信号 V_{DD} を、不揮発性記憶セルを構成する双安定回路の情報を書き換える時定数より十分変化の遅い、同一の傾き $\alpha(V/sec)$ で変化する傾斜信号として加え、MGと V_{DD} の電位の間の差DVをわずかつつ変化させる。このとき、各不揮発性記憶セルの可変閾値電界効果トランジスタ対のそれぞれには所定のパターンに従つて前述の方法で不揮発性情報を蓄込んである。また、信号MGの振幅は可変閾値電界効果トランジスタのしきい値の変動に対する影響のない最大振幅 V_{MGMAX} 以内に押えておく。DVを変化させて、集積回路全体として全ての不揮発性記憶セルに情

02

こうして、不揮発性記憶セルを多数個含む場合には、不揮発性情報の復帰動作の不定性が統計的に現われることを期待できるので、可変閾値電界効果トランジスタが共に三極管領域で動作しはじめる電圧DVが測定されることになる。そして、DVは絶縁ゲート形トランジスタの特性から容易に知られるように V_L の分布の上限の近傍 V_{LMAX} に他ならない。

このような一部統計的バラツキ特性を利用するので不揮発性記憶セルの数が多数になればなる程この発明の方法は有効となる。これは、一般の測定法ではセル数が増大すると測定が困難になる場合が多いのに対し、この方法の重要な特徴となつてゐる。

集積回路上の全ての不揮発性記憶セルの可変閾値電界効果トランジスタ対のそれぞれについて、 V_{LMAX} を調べることが望ましく、このために、各不揮発性記憶セルについて互いに相補的な情報を蓄込んだ少なくとも2回の同様のテストシーケンスを繰り返せば、さらに有効なテスト方式となる。

03

このテスト方式を前記不揮発性記憶セルが組み込まれた集積回路を応用したメモリシステムに付加して、書き込まれた可変閾値電界効果トランジスタのしきい値の分布を測定することにより、不揮発性メモリマージン保証可能なメモリシステムが得られる。例えばこのテスト方式により不揮発性記憶セルの可変閾値電界効果トランジスタのしきい値の分布の V_{LMAX} を測定し、更に従来から知られている方法で V_{HMIN} を測定して、記憶保持保証マージンが不足していれば、さらに書き込みパルスを加えてマージンを満たす所までこの操作を繰り返してやればよい。

この方法は前述の不揮発性記憶セルの組み込まれた集積回路の書き込み装置に適用することも可能である。

上記のように本発明によれば、従来得ることができなかった不揮発性記憶セル中の V_L の分布に関するデータのうち、特にこのような集積回路の不揮発性記憶特性を保証する上で必要なデータである V_{LMAX} を測定することができる。

05

リ線板としての信頼性を格段に増大することができる。

また、前記不揮発性記憶セルを含む集積回路の書き込み装置に本方式を用いれば、マージンを保証した不揮発性情報の書き込みが可能である。

以上の説明ではPチャネル技術に基づいて説明したが、もちろんnチャネル技術についても電圧極性が異なるのみで同様に実施することができる。

また可変閾値電界効果トランジスタとしては、絶縁ゲート形のものであればよく、例えばMNOSトランジスタ、MAOSトランジスタ等のいわゆるMIOSトランジスタ、又はMIS形トランジスタ、あるいは半導体多結晶、金属等よりなるフローティングゲートをゲート絶縁膜中に有するものでもよい。

4. 図面の簡単な説明

第1図は本発明の対象とする不揮発性記憶セルの一例を示す図、第2図は可変閾値電界効果トランジスタの一例の記憶特性を示す図、第3図は1チップの集積回路上に於ける書き込み後の可変閾値

前述のように、このテスト方式が不揮発性記憶セルの数が多数となればなるほど有効であることは、不揮発性記憶セルを多数含む不揮発性カウンタ、不揮発性ランダムアクセスメモリ等のテストに極めて適していることを示すものである。

特に、従来このような集積回路に於ては、 V_L に関する情報が実際の集積回路自身からは全く得られず、チップ上に作成したテスト用可変閾値電界効果トランジスタでの測定結果にならざるを得なかつたこと、そしてこのために可変閾値電界効果トランジスタと双安定回路の間の結合動作による影響も直接知ることができなかつたことを考えると、本発明によるテスト方式によつて直接集積回路上に於る複数個の記憶セルの V_L の分布に関する情報即ち V_{LMAX} を知ることができることは、この種の集積回路技術の発展に大きく寄与するものである。

さらに、このテスト方式を付加したメモリ装置は、不揮発性メモリマージンが十分か不足しているかをチェックすることが可能であるため、メモ

06

電界効果トランジスタの高レベル及び低レベルのしきい値の分布を示す図、第4図は本発明のテスト方式の一実施例としての電圧波形図である。

1, 2, 3, 4, 5, 6 ... MOSトランジスタ,

7, 8 ... MNOSトランジスタ。

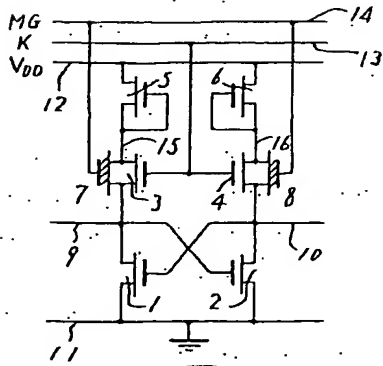
代理人 弁理士 高 岡 肇
(ほか1名)

07

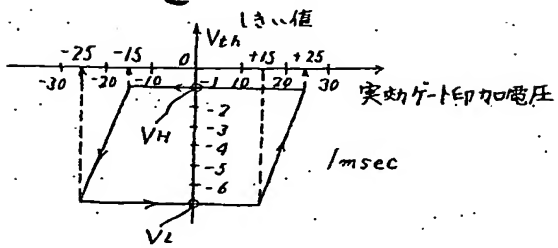
-433-

08

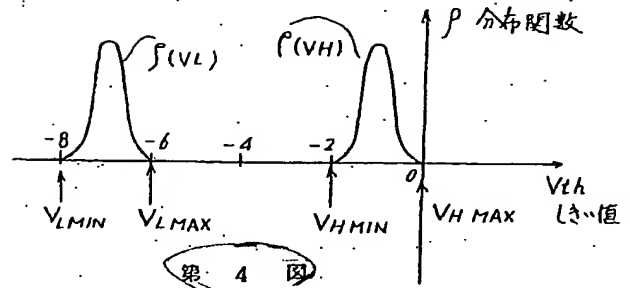
第 1 図



第 2 図



第 3 図



第 4 図

